

#3 9/25/01

J1046 U.S. PTO  
09/09/01  
06/29/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re

U.S. application: Yoshio HAGIHARA  
For: SOLID-STATE IMAGE-SENSING DEVICE  
U.S. Serial No.: To Be Assigned  
Filed: Filed Concurrently  
Group Art Unit: To Be Assigned  
Examiner: To Be Assigned

**Box PATENT APPLICATION**

Assistant Director For Patents  
Washington, D.C. 20231

EXPRESS MAIL MAILING LABEL NO.: EL 794556828 US  
DATE OF DEPOSIT: JUNE 29, 2001

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to: BOX PATENT APPLICATION, Assistant Director for Patents, Washington, DC 20231.

Derrick Gordon

Name of Person Mailing Paper or Fee

*Derrick Gordon*

Signature

JUNE 29, 2001

Date of Signature

**CERTIFIED COPY OF PRIORITY DOCUMENT**

Submitted herewith is a certified copy of Japanese Patent Application No. 2000-197745 filed June 30, 2000. Priority benefit under 35 U.S.C. § 119/365 for this Japanese patent application is claimed for the above-identified United States patent application.

Respectfully submitted,

By:

*James W. Williams*

James W. Williams

Registration No. 20,047

Attorney for Applicant

JWW/fis

SIDLEY AUSTIN BROWN & WOOD

717 North Harwood, Suite 3400

Dallas, Texas 75201-6507

(214) 981-3328 (Direct)

(214) 981-3300 (Main)

(214) 981-3400 (Facsimile)

June 29, 2001

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1046 U.S. PTO

09/896573



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 6月30日

出 願 番 号

Application Number:

特願2000-197745

出 願 人

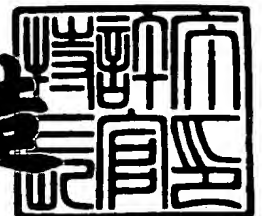
Applicant(s):

ミノルタ株式会社

2001年 4月13日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3031334

【書類名】 特許願

【整理番号】 TL03573

【提出日】 平成12年 6月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置

【請求項の数】 12

【発明者】

【住所又は居所】 大阪府中央区安土町二丁目3番13号 大阪国際ビル  
ミノルタ株式会社内

【氏名】 萩原 義雄

【特許出願人】

【識別番号】 000006079

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【選任した代理人】

【識別番号】 100111811

【弁理士】

【氏名又は名称】 山田 茂樹

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 1 9 7 7 4 5

【包括委任状番号】 9716119

【包括委任状番号】 0000030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射光量に応じた電気信号を発生する通常画素と、通常画素の出力を補正するための補正信号を出力する補正用画素とを備えたことを特徴とする固体撮像装置。

【請求項 2】 入射光量に応じた電気信号を発生する複数の画素を備えた固体撮像装置において、前記複数の画素には、通常画素と、通常画素の出力を補正するための補正信号を出力する補正用画素とが含まれることを特徴とする固体撮像装置。

【請求項 3】 入射光量に応じた電気信号を発生するとともにマトリクス状に配された複数の通常画素と、各通常画素列に対応して同一行上に並んで配されるときとも各通常画素の出力を補正するための補正信号をそれぞれ出力する複数の補正用画素とを備えたことを特徴とする固体撮像装置。

【請求項 4】 画素列毎に設けられ、同一列に配された通常画素および補正用画素からの出力信号を導出する複数の出力信号線をさらに備えたことを特徴とする請求項 3 の固体撮像装置。

【請求項 5】 補正用画素のサイズは通常画素のサイズ以下であることを特徴とする請求項 1 ～ 4 のいずれかに記載の固体撮像装置。

【請求項 6】 通常画素と補正用画素とが異なる回路構成を有することを特徴とする請求項 1 ～ 5 のいずれかに記載の固体撮像装置。

【請求項 7】 通常画素は光電変換素子を含み、補正用画素は光電変換素子を含まないことを特徴とする請求項 6 記載の固体撮像装置。

【請求項 8】 通常画素と補正用画素とが同じ回路構成を有することを特徴とする請求項 1 ～ 5 のいずれかに記載の固体撮像装置。

【請求項 9】 通常画素と補正用画素とに異なる電圧が印加されることを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 10】 通常画素は入射光量に対して自然対数的な出力信号を発生することを特徴とする請求項 1 ～ 9 のいずれかに記載の固体撮像装置。

【請求項 1 1】 通常画素は入射光量に対して自然対数的な出力信号を発生する第 1 状態と、入射光量に対して線形的な出力信号を発生する第 2 状態とに切換え可能であることを特徴とする請求項 1 ～ 9 のいずれかに記載の固体撮像装置。

【請求項 1 2】 通常画素の出力を補正用画素の出力で補正する補正手段をさらに備えたことを特徴とする請求項 1 ～ 1 1 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、固体撮像装置に関するものであり、特に画素を 2 次元に配置した固体撮像装置に関する。

【0 0 0 2】

【従来の技術】

従来より、フォトダイオードなどの感光素子を有した固体撮像装置（以下、「エリアセンサ」とする）は、各画素の出力信号を増幅するための定電流源が各列毎に設けられる。このようなエリアセンサを図 1 5 に示す。

【0 0 0 3】

図 1 5 において、 $G_{11} \sim G_{mn}$  は行列配置（マトリクス配置）された画素を示している。5 1 は垂直走査回路であり、行（ライン）5 3 - 1、5 3 - 2、…、5 3 -  $n$  を順次走査していく。5 2 は水平走査回路であり、画素から出力信号線 5 5 - 1、5 5 - 2、…、5 5 -  $m$  に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 4 は電源ラインである。

【0 0 0 4】

又、出力信号線 5 5 - 1、5 5 - 2、…、5 5 -  $m$  ごとに  $N$  チャンネルの MOS トランジスタ  $Q_1$ 、 $Q_2$  が図示の如く 1 組ずつ設けられている。出力信号線 5 5 - 1 を例にとって説明すると、MOS トランジスタ  $Q_1$  のゲートは直流電圧線 5 6 に接続され、ドレインは出力信号線 5 5 - 1 に接続され、ソースは直流電圧  $V_{PS'}$  のライン 5 7 に接続されている。一方、MOS トランジスタ  $Q_2$  のドレインは出力信号線 5 5 - 1 に接続され、ソースは最終的な信号線 5 8 に接続され、ゲ

ートは水平走査回路 5 2 に接続されている。

【0 0 0 5】

図 1 5 のエリアセンサに設けられた画素  $G_{11} \sim G_{mn}$  から、それらの画素で発生した光電荷に基づく出力電流が出力信号線  $55-1 \sim 55-m$  に出力される。この出力信号線  $55-1 \sim 55-m$  にドレインが接続された MOS トランジスタ  $Q_1$  のゲートには直流電圧  $DC$  が常時印加されているため、MOS トランジスタ  $Q_1$  は抵抗又は定電流源と等価であり、出力信号線  $55-1 \sim 55-m$  に出力される出力電流を電圧増幅する。

【0 0 0 6】

MOS トランジスタ  $Q_2$  は水平走査回路 5 2 によって制御され、列の選択を行うスイッチ素子として動作する。このように MOS トランジスタ  $Q_1$  が構成されることにより信号のゲインを大きく出力することができる。従って、各画素からの出力信号が小さい場合でも、この MOS トランジスタ  $Q_1$  を含む増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、上記回路構成では以下のような問題があった。図 1 5 のように、各画素から与えられる出力信号は、各列毎に接続された MOS トランジスタ  $Q_1$  によって増幅される。よって、この MOS トランジスタ  $Q_1$  の特性にバラツキがあると、列毎に各画素から出力される出力信号の増幅度にバラツキが生じる。そのため、同一列に配された各画素間に出力のバラツキはないが、同一行に配された各画素間の出力に対する増幅度が異なるため、同一行に配された各画素間の出力にバラツキが生じる。そのため、このようなエリアセンサより出力される出力信号が画像として再生されたとき、各列毎に接続された MOS トランジスタ  $Q_1$  の増幅度のバラツキに起因して、縦縞のような固定パターンノイズとなって現れる。

【0 0 0 8】

このような問題を鑑みて、本発明は、固体撮像装置の回路構成などに起因して

その出力信号に生じるバラツキによる固体パターンノイズをキャンセルすることが可能な固体撮像装置を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

上記の目的を達成するために、請求項 1 に記載の固体撮像装置は、入射光量に応じた電気信号を発生する通常画素と、通常画素の出力を補正するための補正信号を出力する補正用画素とを備えたことを特徴とする。

【 0 0 1 0 】

請求項 2 に記載の固体撮像装置は、入射光量に応じた電気信号を発生する複数の画素を備えた固体撮像装置において、前記複数の画素には、通常画素と、通常画素の出力を補正するための補正信号を出力する補正用画素とが含まれることを特徴とする。

【 0 0 1 1 】

請求項 3 に記載の固体撮像装置は、入射光量に応じた電気信号を発生するとともにマトリクス状に配された複数の通常画素と、各通常画素列に対応して同一行上に並んで配されるとともに各通常画素の出力を補正するための補正信号をそれぞれ出力する複数の補正用画素とを備えたことを特徴とする。

【 0 0 1 2 】

これらの固体撮像装置において、1 フィールド毎に撮像を行う際、まず、補正用画素から補正信号を出力するとともに、出力した補正信号をメモリなどに格納する。そして、通常画素が撮像動作を行うことによって出力される電気信号毎に、格納した補正信号で補正する。

【 0 0 1 3 】

又、請求項 3 に記載の固体撮像装置において、請求項 4 に記載するように、画素列毎に設けられ、同一列に配された通常画素および補正用画素からの出力信号を導出する複数の出力信号線をさらに備えても構わない。

【 0 0 1 4 】

このような固体撮像装置によると、通常画素より出力信号線に出力された出力信号が、この出力信号を出力した通常画素と同一の出力信号線に接続された補正



用画素から出力された補正信号に基づいて補正される。よって、列毎に補正用画素からの補正信号で通常画素からの出力信号が補正されて外部に出力されるため、各画素が列毎に出力信号線に接続されることに起因して発生する固定パターンノイズである縦縞を防ぐことができる。

## 【 0 0 1 5 】

請求項 1 ～ 請求項 4 に記載の固体撮像装置において、請求項 5 に記載するように、補正用画素のサイズは通常画素のサイズ以下としても構わない。又、請求項 6 に記載するように、通常画素と補正用画素とが異なる回路構成を有する用にしても構わない。又、請求項 7 に記載するように、通常画素は光電変換素子を含み、補正用画素は光電変換素子を含まないようにしても構わない。更に、通常画素と補正用画素とが同じ回路構成を有するようにしても構わない。

## 【 0 0 1 6 】

即ち、前記通常画素が、入射光量に応じて電気信号を発生する光電変換回路と、該光電変換回路より出力される電気信号を増幅して前記出力信号線に出力する出力増幅回路と、を有するとき、前記補正用画素が、前記通常画素と同様の回路構成の出力増幅回路を有するとともに、該出力増幅回路の入力側に一定の入力信号が与えられるようにしても構わない。

## 【 0 0 1 7 】

又、前記補正用画素に前記通常画素と同様の回路構成の光電変換回路を設けて、前記補正用画素と前記通常画素をほぼ同一のポテンシャル状態となるようにしても構わない。又、前記補正用画素において、前記光電変換回路と前記出力増幅回路との接続を切断し、前記光電変換回路から出力が前記出力増幅回路に与えられないようにし、前記補正信号に対して、前記光電変換回路からの出力の影響が与えられないようにしても構わない。

## 【 0 0 1 8 】

更に、前記補正用画素において、前記光電変換回路が、前記通常画素の光電変換回路の一部の回路のみで構成されるようにして、前記補正用画素のサイズを小さくすることで、前記補正用画素が設けられる部分の省スペース化を図ることで、固体撮像装置全体のサイズを小さくすることができる。又、前記補正用画素を

、前記出力増幅回路のみで構成することで、前記補正用画素のサイズを更に小さくすることができる。

【 0 0 1 9 】

又、請求項 9 に記載の固体撮像装置は、請求項 8 に記載の固体撮像装置において、通常画素と補正用画素とに異なる電圧が印加されることを特徴とする。

【 0 0 2 0 】

又、請求項 1 0 に記載の固体撮像装置は、請求項 1 ～ 9 のいずれかに記載の固体撮像装置において、通常画素は入射光量に対して自然対数的な出力信号を発生することを特徴とする。

【 0 0 2 1 】

又、請求項 1 1 に記載の固体撮像装置は、請求項 1 ～ 9 のいずれかに記載の固体撮像装置において、通常画素は入射光量に対して自然対数的な出力信号を発生する第 1 状態と、入射光量に対して線形的な出力信号を発生する第 2 状態とに切換え可能であることを特徴とする。

【 0 0 2 2 】

請求項 1 2 に記載の固体撮像装置は、請求項 1 ～ 1 1 のいずれかに記載の固体撮像装置において、通常画素の出力を補正用画素の出力で補正する補正手段をさらに備えたことを特徴とする。

【 0 0 2 3 】

このような固体撮像装置において、補正手段を、通常画素からの出力が非反転入力端子に入力されるとともに、補正用画素からの出力が反転入力端子に入力される差動増幅回路としても構わない。

【 0 0 2 4 】

【発明の実施の形態】

<固体撮像装置（エリアセンサ）の構成の 1 例>

図 1 は本発明の実施形態である二次元の M O S 型固体撮像装置（以下、「エリアセンサ」とする）の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$  は行列配置（マトリクス配置）された撮像動作を行う画素（以下、「通常画素」とする）を示している。又、 $G_{10} \sim G_{m0}$  は、同一列に設けられた前記通常画

素からの出力を補正するための補正データを出力する画素（以下、「補正用画素」とする）を示している。1は垂直走査回路であり、行（ライン）3-0、3-1、3-2、…、3-nを順次走査していく。2は水平走査回路であり、画素から出力信号線5-1、5-2、…、5-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。4は電源ラインである。各画素に対し、上記ライン3-0、3-1、3-2…、3-nや出力信号線5-1、5-2…、5-m、電源ライン4だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略し、図3以降の各実施形態において示している。

## 【0025】

出力信号線5-1、5-2、…、5-mごとにNチャネルのMOSトランジスタQ1、Q2a、Q2b及びスイッチSa、Sb及びキャパシタCa、Cbが図示の如く1組ずつ設けられている。出力信号線5-1を例にとって説明すると、MOSトランジスタQ1のゲートは直流電圧線6に接続され、ドレインは出力信号線5-1に接続され、ソースは直流電圧VPS'のライン7に接続されている。一方、MOSトランジスタQ2aのドレインはスイッチSaを介して出力信号線5-1に接続され、ソースは最終的な信号線8aに接続され、ゲートは水平走査回路2に接続されている。又、MOSトランジスタQ2bのドレインはスイッチSbを介して出力信号線5-1に接続され、ソースは最終的な信号線8bに接続され、ゲートは水平走査回路2に接続されている。更に、一端が接地されたキャパシタCaの他端がスイッチSaの一端とMOSトランジスタQ2aのドレインとの接続ノードに接続されるとともに、一端が接地されたキャパシタCbの他端がスイッチSbの一端とMOSトランジスタQ2bのドレインとの接続ノードに接続される。

## 【0026】

通常画素G11~Gmn及び補正用画素G10~Gm0には、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSトランジスタT2が設けられている。MOSトランジスタT2と上記MOSトランジスタQ1との接続関係は図2(a)のようになる。ここで、MOSトランジスタQ1の

ソースに接続される直流電圧  $V_{PS}'$  と、MOSトランジスタ  $T_2$  のドレインに接続される直流電圧  $V_{PD}'$  との関係は  $V_{PD}' > V_{PS}'$  であり、直流電圧  $V_{PS}'$  は例えばグランド電圧（接地）である。この回路構成は上段のMOSトランジスタ  $T_2$  のゲートに信号が入力され、下段のMOSトランジスタ  $Q_1$  のゲートには直流電圧  $DC$  が常時印加される。このため下段のMOSトランジスタ  $Q_1$  は抵抗又は定電流源と等価であり、図2（a）の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタ  $T_2$  から増幅出力されるのは電流であると考えてよい。

## 【0027】

MOSトランジスタ  $Q_2$ （このMOSトランジスタ  $Q_2$  は、図1のMOSトランジスタ  $Q_{2a}$ 、 $Q_{2b}$  を表す）は水平走査回路2によって制御され、スイッチ素子として動作する。尚、後述するように図3以降の各実施形態の画素内にはスイッチ用のNチャネルのMOSトランジスタ  $T_3$  も設けられている。このMOSトランジスタ  $T_3$  も含めて表わすと、図2（a）の回路は正確には図2（b）のようになる。即ち、MOSトランジスタ  $T_3$  がMOSトランジスタ  $Q_1$  とMOSトランジスタ  $T_2$  との間に挿入されている。ここで、MOSトランジスタ  $T_3$  は行の選択を行うものであり、トランジスタ  $Q_2$  は列の選択を行うものである。

## 【0028】

図2のように構成することにより信号のゲインを大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するトランジスタ  $Q_1$  を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線  $5-1$ 、 $5-2$ 、 $\dots$ 、 $5-m$  ごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

## 【0029】

更に、信号線  $8a$  が差動増幅回路12の非反転入力端子に接続されるとともに

に、信号線 8 b が差動増幅回路 1 2 の反転入力端子に接続される。そして、この差動増幅回路 1 2 の出力が出力切換回路 9 に入力され、出力切換回路 9 によって、補正用画素 G10～Gm0からの出力がラインメモリ 1 0 に入力されるとともに、通常画素 G11～Gmnからの出力が差動増幅回路 1 1 の非反転入力端子に入力される。又、ラインメモリ 1 0 に記憶された補正用画素 G10～Gm0の出力が、差動増幅回路 1 1 の反転入力端子に与えられる。又、ラインメモリ 1 1 の入力側と出力側との間にスイッチ SW が接続される。

## 【 0 0 3 0 】

このような構成のエリアセンサの動作について、説明する。1 フレーム分の画像を撮像するとき、まず、垂直走査回路 1 より、ライン 3 - 0 を介して、補正用画素 G10～Gm0内に設けられた後述する MOS トランジスタ T 3 のゲートに信号  $\phi V$  が与えられる。このとき、出力切換回路 9 によって、差動増幅回路 1 2 より与えられる出力信号がラインメモリ 1 0 に送出されるように、差動増幅回路 1 2 の出力側とラインメモリ 1 0 の入力側が接続されるとともに、スイッチ SW が OFF とされる。

## 【 0 0 3 1 】

このとき、まず、出力信号線 5 - 1, 5 - 2, … 5 - m のそれぞれに接続されたスイッチ S a が同時に ON とされることによって、キャパシタ C a に補正用画素 G10～Gm0内の MOS トランジスタ T 3 が ON することによって出力される補正データが格納される。次に、スイッチ S a を OFF にした後スイッチ S b を ON することで、補正用画素 G10～Gm0内の MOS トランジスタ T 3 を OFF することによって、又は、補正用画素 G10～Gm0をリセットすることによって得られた各補正用画素のノイズ成分が、キャパシタ C b に格納される。

## 【 0 0 3 2 】

そして、出力信号線 5 - 1 ～ 5 - m 毎に水平走査回路 2 によって、MOS トランジスタ Q 2 a, Q 2 b が順に ON とされることによって、補正用画素 G10, G20, … Gm0からの補正データが順に信号線 8 a を介して差動増幅回路 1 2 の非反転入力端子に、又、補正用画素 G10, G20, … Gm0からのノイズ成分が順に信号線 8 b を介して差動増幅回路 1 2 の反転入力端子に、それぞれ入力される。この

差動増幅回路 1 2 において、補正用画素  $G_{10} \sim G_{m0}$  からの補正データがそれぞれ、各画素におけるノイズ成分が除去される。このノイズ成分が除去された補正データが、出力切換回路 9 を介して、ラインメモリ 1 0 に与えられる。このようにすることで、ラインメモリ 1 0 内に、補正用画素  $G_{10} \sim G_{m0}$  からの補正データが補正用画素  $G_{10}$ ,  $G_{20}$ ,  $\dots G_{m0}$  の順に格納される。

## 【 0 0 3 3 】

次に、出力切換回路 9 によって、差動増幅回路 1 2 より与えられる出力信号が差動増幅回路 1 1 に送出されるように、差動増幅回路 1 2 と差動増幅回路 1 1 の非反転入力端子が接続されるとともに、ラインメモリ 1 0 から出力された補正データが再びラインメモリ 1 0 に与えられるように、スイッチ  $SW$  が ON とされる。そして、まず、垂直走査回路 1 により、ライン 3 - 1 を介して、通常画素  $G_{11} \sim G_{m1}$  内に設けられた後述する MOS トランジスタ  $T_3$  のゲートに信号  $\phi V$  が与えられる。

## 【 0 0 3 4 】

このとき、まず、出力信号線 5 - 1, 5 - 2,  $\dots$  5 -  $m$  のそれぞれに接続されたスイッチ  $S_a$  が同時に ON とされることによって、キャパシタ  $C_a$  に通常画素  $G_{11}$ ,  $G_{21}$ ,  $\dots G_{m1}$  内の MOS トランジスタ  $T_3$  が ON することによって出力される画像データが格納される。次に、スイッチ  $S_a$  を OFF にした後スイッチ  $S_b$  を ON することで、通常画素  $G_{11} \sim G_{m1}$  内の MOS トランジスタ  $T_3$  を OFF することによって、又は、通常画素  $G_{11} \sim G_{m1}$  内のをリセットすることによって得られた各通常画素のノイズ成分が、キャパシタ  $C_b$  に格納される。

## 【 0 0 3 5 】

そして、出力信号線 5 - 1  $\sim$  5 -  $m$  毎に水平走査回路 2 によって、MOS トランジスタ  $Q_{2a}$ ,  $Q_{2b}$  が順に ON とされることによって、通常画素  $G_{11}$ ,  $G_{21}$ ,  $\dots G_{m1}$  からの画像データが順に信号線 8 a を介して差動増幅回路 1 2 の非反転入力端子に、又、通常画素  $G_{11}$ ,  $G_{21}$ ,  $\dots G_{m1}$  からのノイズ成分が順に信号線 8 b を介して差動増幅回路 1 2 の反転入力端子に、それぞれ入力される。この差動増幅回路 1 2 において、通常画素  $G_{11} \sim G_{m1}$  からの画像データがそれぞれ、各画素におけるノイズ成分が除去される。このノイズ成分が除去された画像データが

、出力切換回路 9 を介して、差動増幅回路 1 1 の非反転入力端子に与えられる。更に、このとき同時に、ラインメモリ 1 0 に格納された補正用画素 G10～Gm0 の補正データが、補正用画素 G10, G20, … Gm0 の順に、ラインメモリ 1 0 の出力側から差動増幅回路 1 1 の反転入力端子及びラインメモリ 1 0 の入力側に与えられる。

## 【 0 0 3 6 】

このように補正データと画像データが入力されるとき、まず、差動増幅回路 1 1 では、非反転入力端子に通常画素 G11 からの画像データが入力されるとともに、反転入力端子に補正用画素 G10 からの補正データが入力されると、画像データと補正データの差分がとられることによって補正された通常画素 G11 の画像データを出力する。このとき、ラインメモリ 1 0 の入力側に補正用画素 G10 の補正データがスイッチ SW を介して与えられるため、ラインメモリ 1 0 は、補正用画素 G20, G30, … Gm0, G10 の順に補正データが格納される。

## 【 0 0 3 7 】

そして、差動増幅回路 1 1 より補正された通常画素 G11 の画像データが出力されると、次に、非反転入力端子に通常画素 G21 からの画像データが入力されるとともに、反転入力端子に補正用画素 G20 からの補正データが入力され、画像データと補正データの差分がとられることによって補正された通常画素 G21 の画像データを出力する。又、同様に、ラインメモリ 1 0 の入力側に補正用画素 G20 の補正データがスイッチ SW を介して与えられるため、ラインメモリ 1 0 は、補正用画素 G30, G40, … Gm0, G10, G20 の順に補正データが格納される。

## 【 0 0 3 8 】

そして、差動増幅回路 1 1 に入力される通常画素 G31～Gm1 の画像データ及び補正用画素 G30～Gm0 の補正データについても、このような動作が繰り返し行われることによって、補正された通常画素 G31～Gm1 の画像データが、順次、差動増幅回路 1 1 より出力される。又、補正された通常画素 Gm1 の画像データが差動増幅回路 1 1 より出力されたとき、ラインメモリ 1 0 には、補正用画素 G10, G20, … Gm0 の順に補正データが格納される。

## 【 0 0 3 9 】

補正された通常画素 $G_{11} \sim G_{m1}$ の画像データが差動増幅回路 1 1 より出力されると、垂直走査回路 1 により、ライン 3 - 2 を介して、通常画素 $G_{12} \sim G_{m2}$ 内に設けられた後述するMOSトランジスタ $T_3$ のゲートに信号 $\phi V$ が与えられる。このとき、まず、出力信号線 5 - 1, 5 - 2, ... 5 - mのそれぞれに接続されたスイッチ $S_a$ が同時にONとされることによって、キャパシタ $C_a$ に通常画素 $G_{12} \sim G_{m2}$ 内の画像データが格納される。次に、スイッチ $S_a$ をOFFにした後スイッチ $S_b$ をONすることで、通常画素のノイズ成分が、キャパシタ $C_b$ に格納される。

## 【 0 0 4 0 】

そして、水平走査回路 2 によって、出力信号線 5 - 1, 5 - 2, ... 5 - mのそれぞれに接続されたMOSトランジスタ $Q_{2a}$ ,  $Q_{2b}$ が順にONとされることによって、通常画素 $G_{12}$ ,  $G_{22}$ , ...  $G_{m2}$ からの画像データ及びノイズ成分が順に、信号線 8 a, 8 b を介して、差動増幅回路 1 2 の非反転入力端子と反転入力端子に与えられる。この差動増幅回路 1 2 において、通常画素 $G_{12} \sim G_{m2}$ からの画像データがそれぞれ、各画素におけるノイズ成分が除去される。このノイズ成分が除去された画像データが、出力切換回路 9 を介して、差動増幅回路 1 1 の非反転入力端子に与えられる。更に、通常画素 $G_{11} \sim G_{m1}$ からの画像データが出力されるときと同様に、このとき同時に、ラインメモリ 1 0 に格納された補正用画素 $G_{10} \sim G_{m0}$ の補正データが、補正用画素 $G_{10}$ ,  $G_{20}$ , ...  $G_{m0}$ の順に、ラインメモリ 1 0 の出力側から差動増幅回路 1 1 の反転入力端子及びラインメモリ 1 0 の入力側に与えられる。

## 【 0 0 4 1 】

このようにして、差動増幅回路 1 1 より、補正用画素 $G_{10}$ ,  $G_{20}$ , ...  $G_{m0}$ の補正データによって補正された通常画素 $G_{12}$ ,  $G_{22}$ , ...  $G_{m2}$ の画像データが順次、出力される。又、同時に、ラインメモリ 1 0 の出力側より出力される補正用画素 $G_{10}$ ,  $G_{20}$ , ...  $G_{m0}$ の補正データが、スイッチ $SW$ を介して、ラインメモリ 1 0 の入力側に入力されるため、補正された通常画素 $G_{m2}$ の画像データが出力されたとき、ラインメモリ 1 0 には、補正用画素 $G_{10}$ ,  $G_{20}$ , ...  $G_{m0}$ の順に、補正データが格納される。



## 【 0 0 4 2 】

そして、上述したような動作が、垂直走査回路 1 によって、ライン 3 - 3, 3 - 4, ... 3 - n を介して、通常画素 G13 ~ Gm3, G14 ~ Gm4, ... G1n ~ Gmn に信号  $\phi V$  が与えられる度に行うことによって、差動増幅回路 1 1 より補正された通常画素 G13 ~ Gmn の画像データが順次出力される。

## 【 0 0 4 3 】

尚、上述した構成及び動作は、以下に示す第 1 ~ 第 4 の実施形態で共通の構成及び動作である。

## 【 0 0 4 4 】

## &lt; 第 1 の実施形態 &gt;

図 1 に示した構成のエリアセンサ内に設けられる通常画素に適用される第 1 の実施形態について、図面を参照して説明する。図 3 は、本実施形態における通常画素の構成を示す回路図である。又、図 4 ~ 図 6 は、本実施形態における補正用画素の構成を示す回路図である。

## 【 0 0 4 5 】

## 1. 通常画素の構成

図 3 の画素において、直流電圧 VPD がカソードに印加されたフォトダイオード PD のアノードに MOS トランジスタ T1 のドレイン及びゲートと MOS トランジスタ T2 のゲートとが接続され、この MOS トランジスタ T2 のソースに MOS トランジスタ T3 のドレインが接続される。又、MOS トランジスタ T3 のソースには信号線 5 (図 1 の信号線 5 - 1 ~ 5 - m に相当する) が接続される。尚、MOS トランジスタ T1 ~ T3 は、そのバックゲートが接地された N チャンネルの MOS トランジスタである。MOS トランジスタ T2 のドレインには、直流電圧 VPD が与えられ、MOS トランジスタ T1 のソースには直流電圧 VPS が与えられる。又、MOS トランジスタ T3 のゲートに信号  $\phi V$  が与えられる。又、MOS トランジスタ T1 及びフォトダイオード PD によって光電変換回路が形成されるとともに、MOS トランジスタ T2, T3 によって出力増幅回路が形成される。

## 【 0 0 4 6 】

このような回路構成の画素において、フォトダイオードPDに光が入射されると、光電流が発生し、MOSトランジスタのサブスレッショルド特性により、MOSトランジスタT1、T2のゲートに光電流を自然対数的に変換した値の電圧が発生する。そして、MOSトランジスタT3にパルス信号 $\phi V$ を与えることによって、MOSトランジスタT2は、そのゲート電圧に応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

【0047】

このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には画像データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、フォトダイオードPDへの入射光量が自然対数的に変換された信号となる。この画像データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0048】

このように、キャパシタCaに画像データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。

【0049】

## 2. 補正用画素の構成の第1例

通常画素が図3のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図4の構成において、図3の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

【0050】

図4の画素は、図3の画素に、ドレインがMOSトランジスタT1のドレインとゲート及びMOSトランジスタT2のゲートに接続されたMOSトランジスタT4が設けられた構成の画素である。このMOSトランジスタT4は、ソースに直流電圧VDが与えられるとともに、ゲートに信号 $\phi VRS$ が与えられる。又、M

OSトランジスタT4は、MOSトランジスタT1～T3と同様、そのバックゲートが接地されたNチャネルのMOSトランジスタである。

#### 【0051】

このような構成の画素において、まず、信号 $\phi$ VRSがハイレベルとなり、MOSトランジスタT4がONとなることによって、フォトダイオードPDのアノード及びMOSトランジスタT1のゲートとドレイン及びMOSトランジスタT2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT3にパルス信号 $\phi$ Vを与えることによって、MOSトランジスタT2は、そのゲートに与えられた直流電圧VDに応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

#### 【0052】

このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

#### 【0053】

このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号 $\phi$ VRSはローレベルである。

#### 【0054】

このようにして出力された補正データは、信号線5-1～5-m（図1）に接続されたMOSトランジスタQ1（図1）の特性のバラツキを表す信号となる。尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。

## 【 0 0 5 5 】

## 3. 補正用画素の構成の第2例

通常画素が図3のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図5の構成において、図4の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

## 【 0 0 5 6 】

図5の画素は、図4の画素と比べて、MOSトランジスタT1のドレイン及びゲートの接続ノードと、MOSトランジスタT2のゲートとMOSトランジスタT4のドレインとの接続ノードとが接続されていない点異なる。よって、光電変換回路を構成するMOSトランジスタT1のゲート及びドレインの接続ノードに現れる電圧が出力増幅回路を構成するMOSトランジスタT2のゲートに与えられない。

## 【 0 0 5 7 】

このような構成の画素において、図4の画素と同様、まず、信号 $\phi$  VRSがハイレベルとなり、MOSトランジスタT4がONとなることによって、MOSトランジスタT2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT3にパルス信号 $\phi$  Vを与えることによって、MOSトランジスタT2は、そのゲートに与えられた直流電圧VDに応じたソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

## 【 0 0 5 8 】

このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチS aをONとすることで、信号線5及びスイッチS aを介してキャパシタC aに与えられる。

## 【 0 0 5 9 】

このように、キャパシタC aに補正データが格納された後、MOSトランジスタT3及びスイッチS aがOFFとなるとともに、スイッチS bをONとするこ

とによって、各画素毎に発生するノイズ成分が信号線 5 及びスイッチ  $S_b$  を介してキャパシタ  $C_b$  に与えられる。又、このとき、信号  $\phi_{VRS}$  はローレベルである。

#### 【0060】

このようにして出力された補正データは、信号線  $5-1 \sim 5-m$  (図 1) に接続された MOS トランジスタ  $Q_1$  (図 1) の特性のバラツキを表す信号となる。尚、このように光電変換回路を残した構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。又、光電変換回路と出力増幅回路との接続を切断することによって、出力増幅回路より出力される補正データが、光電変換回路から出力される信号に影響されず、出力増幅回路に常に一定の直流電圧が与えられた状態における補正データとすることができる。

#### 【0061】

#### 4. 補正用画素の構成の第 3 例

通常画素が図 3 のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図 6 の構成において、図 5 の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

#### 【0062】

図 6 の画素は、図 5 の画素より光電変換回路を構成する MOS トランジスタ  $T_1$  とフォトダイオード  $PD$  を削除された構成であり、MOS トランジスタ  $T_2$ 、 $T_3$  で構成される出力増幅回路と MOS トランジスタ  $T_4$  で構成される。このような構成の画素において、図 5 の画素と同様、まず、信号  $\phi_{VRS}$  がハイレベルとなり、MOS トランジスタ  $T_4$  が ON となることによって、MOS トランジスタ  $T_2$  のゲートに直流電圧  $V_D$  が与えられる。そして、MOS トランジスタ  $T_3$  にパルス信号  $\phi_V$  を与えることによって、MOS トランジスタ  $T_2$  は、そのゲートに与えられた直流電圧  $V_D$  に応じてソース電流を、MOS トランジスタ  $T_3$  を介して信号線 5 に出力電流として出力する。

#### 【0063】

このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

## 【0064】

このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号φVRSはローレベルである。

## 【0065】

このようにして出力された補正データは、信号線5-1～5-m（図1）に接続されたMOSトランジスタQ1（図1）の特性のバラツキを表す信号となる。尚、このように、本実施形態における第2例（図5）の回路構成の補正用画素と比べて、光電変換回路を削除した構成とすることによって、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、通常画素のサイズが補正用画素のサイズに律速されない。

## 【0066】

尚、図3のような構成の通常画素より得た画像データが差動増幅回路12（図1）によってノイズ成分が除去されるが、MOSトランジスタQ1の影響を受けた値として出力される。このとき、本実施形態の第1例～第3例で説明したような構成の補正用画素より補正データが出力されるとき、差動増幅回路11（図1）において、差動増幅回路12でノイズ成分が除去された補正データとの差分をとることにより、MOSトランジスタQ1の影響を受けたバラツキ成分を除去することができる。そのため、縦縞などの固定パターンノイズを除去することができる。

## 【0067】

## ＜第2の実施形態＞

図1に示した構成のエリアセンサ内に設けられる通常画素に適用される第2の実施形態について、図面を参照して説明する。図7は、本実施形態における通常画素の構成を示す回路図である。以下、説明するように図7の回路が補正画素の構成となる場合もある。又、図8は、本実施形態における補正用画素構成の一例を示す回路図である。

### 【0068】

#### 1. 通常画素の構成

図7の画素において、図4の画素と同一の目的で使われる素子及び信号線などは、同一の符号を付してその詳細な説明は省略する。この図7の画素は、図4と同様の回路構成となるとともに、MOSトランジスタT1のソースに信号 $\phi V_{PS}$ が入力される。この信号 $\phi V_{PS}$ は、2値的に変化するものとし、MOSトランジスタT1、T2をサブスレッショルド領域で動作させるための電圧をローレベルとし、直流電圧V<sub>PD</sub>と略等しい電圧をハイレベルとする。又、第1の実施形態と同様、MOSトランジスタT1とフォトダイオードPDによって光電変換回路が構成されるとともに、MOSトランジスタT2、T3によって出力増幅回路が構成される。

### 【0069】

このような回路構成の通常画素は、信号 $\phi V_{PS}$ の電圧値を変更することによって、フォトダイオードPDで発生した光電流に対して自然対数的に又は線形的に変換した画像データを出力することができる。このように光電流に対して自然対数的又は線形的に画像データを出力するそれぞれの場合の動作について、以下に説明する。

### 【0070】

#### (a) 光電流に対して自然対数的に変換した画像データを出力する場合

まず、信号 $\phi V_{PS}$ をローレベルとし、MOSトランジスタT1、T2がサブスレッショルド領域で動作するようにバイアスされる。又、MOSトランジスタT4のゲートには、常に、ローレベルの信号 $\phi V_{RS}$ が与えられ、MOSトランジスタT4はOFFとなり、実質的に存在しないことと等価の状態になる。

## 【0071】

このようにすることで、実質動作を行うのは、第1の実施形態と同様、フォトダイオードPDとMOSトランジスタT1～T3である。よって、第1の実施形態と同様に、フォトダイオードPDに光が入射されると光電流が発生し、MOSトランジスタT1、T2のゲートに光電流を自然対数的に変換した値の電圧が発生する。そして、MOSトランジスタT3にパルス信号 $\phi V$ を与えることによって、MOSトランジスタT2より出力電流が出力される。

## 【0072】

このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には画像データがフォトダイオードPDへの入射光量が自然対数的に変換された値に比例した電圧信号として現れる。この画像データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

## 【0073】

このように、キャパシタCaに画像データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。

## 【0074】

(b) 光電流に対して線形的に変換した画像データを出力する場合

まず、信号 $\phi VPS$ をハイレベルとし、MOSトランジスタT1をカットオフ状態にする。そして、MOSトランジスタT4のゲートにローレベルの信号 $\phi VRS$ を与えて、MOSトランジスタT4はOFFとする。このような状態において、フォトダイオードPDに光が入射すると光電流が発生する。このとき、MOSトランジスタT1のバックゲートとゲートとの間やフォトダイオードPDの接合容量でキャパシタを構成するので、光電流による電荷がMOSトランジスタT1のゲート及びドレインに蓄積される。よって、MOSトランジスタT1、T2のゲート電圧が前記光電流を積分した値に比例した値になる。

## 【0075】



そして、MOSトランジスタT3のゲートにパルス信号 $\phi V$ を与えて、MOSトランジスタT3をONにすると、MOSトランジスタT2のゲートにかかる電圧に比例したソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には画像データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、フォトダイオードPDへの入射光量が線形的に変換した値となる。この画像データは、上述したように、スイッチS<sub>a</sub>をONとすることで、信号線5及びスイッチS<sub>a</sub>を介してキャパシタC<sub>a</sub>に与えられる。画像データがキャパシタC<sub>a</sub>に格納されると、スイッチS<sub>a</sub>がOFFになる。

【0076】

このようにして入射光量に比例した画像データが出力されると、MOSトランジスタT3をOFFにするとともに、MOSトランジスタT4のゲートにハイレベルの信号 $\phi VRS$ を与えることで、MOSトランジスタT4をONとして、フォトダイオードPD、MOSトランジスタT1のドレイン電圧、及びMOSトランジスタT1、T2のゲート電圧を初期化する。このとき、MOSトランジスタT3を再びONとするとともにスイッチS<sub>b</sub>をONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチS<sub>b</sub>を介してキャパシタC<sub>b</sub>に与えられる。このようにノイズ成分が出力されると、スイッチS<sub>b</sub>及びMOSトランジスタT3がOFFとなる。

【0077】

## 2. 補正用画素の構成の第1例

通常画素が図7のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。本例における補正用画素は、通常画素と同様、図7のような回路構成の画素である。このように図7のような構成の補正用画素を用いたときの動作について、以下に説明する。

【0078】

(a) 光電流に対して自然対数的に変換した画像データを出力する場合

通常画素が自然対数的に変換した出力信号を画像データとして出力するとき、この画像データを補正するための補正データを出力する補正用画素において、通常画素と同様に、信号 $\phi$  VPSをローレベルとして、MOSトランジスタT1がサブスレッショルド領域で動作するようにバイアスされる。そして、第1の実施形態と同様に、まず、信号 $\phi$  VRSをハイレベルにした後、パルス信号 $\phi$  VをMOSトランジスタT3のゲートに与えることによって、補正用データを出力信号線5に出力する。この補正データは、上述したように、スイッチS aをONとすることで、信号線5及びスイッチS aを介してキャパシタC aに与えられる。

## 【0079】

このように、キャパシタC aに補正データが格納された後、MOSトランジスタT3及びスイッチS aがOFFとなるとともに、スイッチS bをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチS bを介してキャパシタC bに与えられる。又、このとき、信号 $\phi$  VRSはローレベルである。

## 【0080】

(b) 光電流に対して線形的に変換した画像データを出力する場合

通常画素が線形的に変換した出力信号を画像データとして出力するとき、この画像データを補正するための補正データを出力する補正用画素において、通常画素と同様に、信号 $\phi$  VPSをハイレベルとして、MOSトランジスタT1をカットオフ状態にする。そして、第1の実施形態と同様に、まず、信号 $\phi$  VRSをハイレベルにした後、パルス信号 $\phi$  VをMOSトランジスタT3のゲートに与えることによって、補正用データを出力信号線5に出力する。この補正データは、上述したように、スイッチS aをONとすることで、信号線5及びスイッチS aを介してキャパシタC aに与えられる。

## 【0081】

このように、キャパシタC aに補正データが格納された後、MOSトランジスタT3及びスイッチS aがOFFとなるとともに、スイッチS bをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチS bを介してキャパシタC bに与えられる。又、このとき、信号 $\phi$  VRSはローレベルである。

## 【 0 0 8 2 】

このようにして、通常画素の動作にあわせて、信号 $\phi$  VPSの電圧値を変更し、通常画素と同等の状態で作動させたときの出力信号を補正データとして出力する。尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。

## 【 0 0 8 3 】

## 3. 補正用画素の構成の第2例

通常画素が図7のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図8の構成において、図7の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

## 【 0 0 8 4 】

図8の画素は、図7の画素と比べて、MOSトランジスタT1のドレイン及びゲートの接続ノードと、MOSトランジスタT2のゲートとMOSトランジスタT4のドレインとの接続ノードとが接続されていない点異なる。即ち、本例における補正用画素と本実施形態における通常画素との関係が、第1の実施形態における第2例（図5）のような回路構成の補正用画素と通常画素（図3）との関係に対応する。

## 【 0 0 8 5 】

このように構成したとき、図7のような回路構成の補正用画素（第1例）と同様、通常画素が対数変換した画像データを出力するときは、信号 $\phi$  VPSをローレベルにしてMOSトランジスタT1がサブスレッショルド領域で動作するようにバイアスする。一方、通常画素が線形変換した画像データを出力するときは、信号 $\phi$  VPSをハイレベルにしてMOSトランジスタT1をカットオフ状態とする。

## 【 0 0 8 6 】

このようにして、通常画素の動作にあわせて、信号 $\phi$  VPSの電圧値を変更してMOSトランジスタT1の状態を切り換えるとともに、第1例と同様に、通常画素と同等の状態で作動させたときの出力信号を補正データとして出力する。この

補正データは、上述したように、スイッチ  $S_a$  を ON とすることで、信号線 5 及びスイッチ  $S_a$  を介してキャパシタ  $C_a$  に与えられる。

【0087】

このように、キャパシタ  $C_a$  に補正データが格納された後、MOS トランジスタ  $T_3$  及びスイッチ  $S_a$  が OFF となるとともに、スイッチ  $S_b$  を ON とすることによって、各画素毎に発生するノイズ成分が信号線 5 及びスイッチ  $S_b$  を介してキャパシタ  $C_b$  に与えられる。又、このとき、信号  $\phi_{VRS}$  はローレベルである。

【0088】

尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。又、光電変換回路と出力増幅回路との接続を切断することによって、出力増幅回路より出力される補正データを、光電変換回路から出力される信号に影響されず、出力増幅回路に常に一定の直流電圧が与えられた状態における補正データとすることができる。

【0089】

#### 4. 補正用画素の構成の第3例

本例で使用される補正用画素は、第1の実施形態の第3例における補正用画素と同様、図6のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第1の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第2例（図8）の回路構成の補正用画素と比べて、光電変換回路を削除した構成となるため、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0090】

尚、図7のような構成の通常画素より得た画像データが差動増幅回路12（図1）によってノイズ成分が除去されるが、MOS トランジスタ  $Q_1$  の影響を受け

た値として出力される。このとき、本実施形態の第1例～第3例で説明したような構成の補正用画素より補正データが出力されるとき、差動増幅回路11（図1）において、差動増幅回路12でノイズ成分が除去された補正データとの差分をとることにより、MOSトランジスタQ1の影響を受けたバラツキ成分を除去することができる。そのため、縦筋などの固定パターンノイズを除去することができる。

【0091】

### ＜第3の実施形態＞

図1に示した構成のエリアセンサ内に設けられる通常画素に適用される第3の実施形態について、図面を参照して説明する。図9は、本実施形態における通常画素の構成を示す回路図である。又、図10、図11は、本実施形態における補正用画素の構成を示す回路図である。

【0092】

#### 1. 通常画素の構成

図9の画素において、図3の画素と同一の目的で使用される素子及び信号線などは、同一の符号を付してその詳細な説明は省略する。図9の画素は、図3の画素に、MOSトランジスタT1のドレイン及びゲートの接続ノードにゲートが接続されるとともにMOSトランジスタT2のゲートにソースが接続されたMOSトランジスタT5と、MOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに一端が接続されるとともに他端に直流電圧VPSが印加されたキャパシタCとが設けられる。

【0093】

又、MOSトランジスタT5のドレインには信号φDが与えられる。又、MOSトランジスタT5は、MOSトランジスタT1～T3と同様、そのバックゲートが接地されたNチャネルのMOSトランジスタである。又、MOSトランジスタT1、T5及びフォトダイオードPD及びキャパシタCによって光電変換回路が形成されるとともに、MOSトランジスタT2、T3によって出力増幅回路が形成される。

【0094】

このような回路構成の画素において、信号 $\phi D$ をハイレベル（例えば、直流電圧 $V_{PD}$ と略等しい電圧）として撮像動作を開始したとき、フォトダイオード $PD$ に光が入射すると光電流が発生し、 $MOS$ トランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧が $MOS$ トランジスタ $T_1$ 、 $T_5$ のゲートに発生する。この電圧により、 $MOS$ トランジスタ $T_5$ に電流が流れ、キャパシタ $C$ には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタ $C$ と $MOS$ トランジスタ $T_5$ のソースとの接続ノード $a$ に、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じる。ただし、このとき、 $MOS$ トランジスタ $T_3$ は $OFF$ の状態であるとする。

## 【 0 0 9 5 】

次に、 $MOS$ トランジスタ $T_3$ のゲートにパルス信号 $\phi V$ を与えて、 $MOS$ トランジスタ $T_3$ を $ON$ にすると、 $MOS$ トランジスタ $T_2$ のゲートにかかる電圧に比例した電流が $MOS$ トランジスタ $T_2$ 、 $T_3$ を通して出力信号線 $5$ に導出される。今、 $MOS$ トランジスタ $T_2$ のゲートにかかる電圧は、接続ノード $a$ にかかる電圧であるので、出力信号線 $5$ に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして、画像データが出力されるとともに、この画像データが、上述したように、スイッチ $S_a$ を $ON$ とすることで、信号線 $5$ 及びスイッチ $S_a$ を介してキャパシタ $C_a$ に与えられる。

## 【 0 0 9 6 】

そして、画像データ出力後、スイッチ $S_a$ 及びトランジスタ $T_3$ を $OFF$ する。この後、トランジスタ $T_3$ を $OFF$ とするとともに信号 $\phi D$ をローレベル（例えば、信号 $\phi V_{PS}$ よりも低い電圧）にしてトランジスタ $T_5$ を通して信号 $\phi D$ の信号線路へキャパシタ $C$ に蓄積された電荷を放電することによって、キャパシタ $C$ 及び接続ノード $a$ の電位が初期化される。このとき、 $MOS$ トランジスタ $T_3$ を再び $ON$ とするとともにスイッチ $S_b$ を $ON$ とすることによって、各画素毎に発生するノイズ成分が信号線 $5$ 及びスイッチ $S_b$ を介してキャパシタ $C_b$ に与えられる。このようにノイズ成分が出力されると、スイッチ $S_b$ 及び $MOS$ トランジスタ $T_3$ が $OFF$ となる。

## 【 0 0 9 7 】

このような構成にすることによって、画素から出力される信号が、一旦キャパシタCで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。

## 【 0 0 9 8 】

## 2. 補正用画素の構成の第1例

通常画素が図9のような回路構成で構成されるとき、補正用画素の構成の一例について、図10を参照して説明する。尚、図10の構成において、図9の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

## 【 0 0 9 9 】

図10の画素は、図9の画素に、ドレインがMOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに接続されたMOSトランジスタT4が設けられた構成の画素である。このMOSトランジスタT4は、ソースに直流電圧VDが与えられるとともに、ゲートに信号 $\phi$ VRSが与えられる。又、MOSトランジスタT4は、MOSトランジスタT1～T3と同様、そのバックゲートが接地されたNチャネルのMOSトランジスタである。即ち、本例における補正用画素と本実施形態における通常画素との関係が、第1の実施形態における第1例（図4）のような回路構成の補正用画素と通常画素（図3）と同様の関係となる。

## 【 0 1 0 0 】

このような構成の画素において、第1の実施形態と同様、まず、信号 $\phi$ VRSがハイレベルとなり、MOSトランジスタT4がONとなることによって、MOSトランジスタT2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT3にパルス信号 $\phi$ Vを与えることによって、MOSトランジスタT2は、そのゲートに与えられた直流電圧VDに応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

## 【 0 1 0 1 】

このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSト

ランジスタ T 3 を介して出力される出力信号は、M O S トランジスタ T 2 のゲート電圧に比例した値となるため、直流電圧 V D に応じた信号となる。この補正データは、上述したように、スイッチ S a を O N とすることで、信号線 5 及びスイッチ S a を介してキャパシタ C a に与えられる。

## 【 0 1 0 2 】

このように、キャパシタ C a に補正データが格納された後、M O S トランジスタ T 3 及びスイッチ S a が O F F となるとともに、スイッチ S b を O N とすることによって、各画素毎に発生するノイズ成分が信号線 5 及びスイッチ S b を介してキャパシタ C b に与えられる。又、このとき、信号  $\phi$  VRS はローレベルである。

## 【 0 1 0 3 】

このようにして出力された補正データは、信号線 5 - 1 ~ 5 - m (図 1) に接続された M O S トランジスタ Q 1 (図 1) の特性のバラツキを表す信号となる。尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。

## 【 0 1 0 4 】

## 3. 補正用画素の構成の第 2 例

通常画素が図 9 のような回路構成で構成されるとき、補正用画素の構成の一例について、図 1 1 を参照して説明する。尚、図 1 1 の構成において、図 1 0 の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

## 【 0 1 0 5 】

図 1 1 の画素は、図 1 0 の画素と比べて、M O S トランジスタ T 5 のソースとキャパシタ C との接続ノードと、M O S トランジスタ T 2 のゲートと M O S トランジスタ T 4 のソースとの接続ノードとが接続されていない点異なる。よって、光電変換回路を構成する M O S トランジスタ T 5 のソースとキャパシタ C との接続ノードに現れる電圧が出力増幅回路を構成する M O S トランジスタ T 2 のゲートに与えられない。即ち、本例における補正用画素と本実施形態における通常画素との関係が、第 1 の実施形態における第 2 例 (図 5) のような回路構成の補



正用画素と図 3 のような回路構成の通常画素と同様の関係となる。

【 0 1 0 6 】

このような構成の画素において、図 1 0 の画素と同様、まず、信号  $\phi$  VRS がハイレベルとなり、MOS トランジスタ T 4 が ON となることによって、MOS トランジスタ T 2 のゲートに直流電圧 V D が与えられる。そして、MOS トランジスタ T 3 にパルス信号  $\phi$  V を与えることによって、MOS トランジスタ T 2 は、そのゲートに与えられた直流電圧 V D に応じてソース電流を、MOS トランジスタ T 3 を介して信号線 5 に出力電流として出力する。

【 0 1 0 7 】

このとき、MOS トランジスタ T 2 がソースフォロワ型の MOS トランジスタとして動作し、信号線 5 には補正データが電圧信号として現れる。又、MOS トランジスタ T 3 を介して出力される出力信号は、MOS トランジスタ T 2 のゲート電圧に比例した値となるため、直流電圧 V D に応じた信号となる。この補正データは、上述したように、スイッチ S a を ON とすることで、信号線 5 及びスイッチ S a を介してキャパシタ C a に与えられる。

【 0 1 0 8 】

このように、キャパシタ C a に補正データが格納された後、MOS トランジスタ T 3 及びスイッチ S a が OFF となるとともに、スイッチ S b を ON とすることによって、各画素毎に発生するノイズ成分が信号線 5 及びスイッチ S b を介してキャパシタ C b に与えられる。又、このとき、信号  $\phi$  VRS はローレベルである。

【 0 1 0 9 】

このようにして出力された補正データは、信号線 5 - 1 ~ 5 - m (図 1) に接続された MOS トランジスタ Q 1 (図 1) の特性のバラツキを表す信号となる。尚、このように光電変換回路を残した構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。又、光電変換回路と出力増幅回路との接続を切断することによって、出力増幅回路より出力される補正データを、光電変換回路から出力される信号に影響されず、出力

増幅回路に常に一定の直流電圧が与えられた状態における補正データとすることができる。

【0 1 1 0】

#### 4. 補正用画素の構成の第3例

本例で使用される補正用画素は、第1の実施形態の第2例における補正用画素と同様、図5のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第1の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第2例（図11）の回路構成の補正用画素と比べて、MOSトランジスタT5及びキャパシタCを削除した構成となるため、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0 1 1 1】

#### 5. 補正用画素の構成の第4例

本例で使用される補正用画素は、第1の実施形態の第3例における補正用画素と同様、図6のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第1の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第3例（図5）の回路構成の補正用画素と比べて、光電変換回路を削除した構成となるため、更に、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0 1 1 2】

尚、図9のような構成の通常画素より得た画像データが差動増幅回路12（図1）によってノイズ成分が除去されるが、MOSトランジスタQ1の影響を受けた値として出力される。このとき、本実施形態の第1例～第4例で説明したような構成の補正用画素より補正データが出力されるとき、差動増幅回路11（図1）において、差動増幅回路12でノイズ成分が除去された補正データとの差分をとることにより、MOSトランジスタQ1の影響を受けたバラツキ成分を除去す

ることができる。そのため、縦筋などの固定パターンノイズを除去することができる。

【0113】

#### <第4の実施形態>

図1に示した構成のエリアセンサ内に設けられる通常画素に適用される第4の実施形態について、図面を参照して説明する。図12は、本実施形態における通常画素の構成を示す回路図である。又、図13、14は、本実施形態における補正用画素の構成を示す回路図である。

【0114】

##### 1. 通常画素の構成

図12の画素において、図9の画素と同一の目的で使用される素子及び信号線などは、同一の符号を付してその詳細な説明は省略する。この図12の画素は、図9の画素に、MOSトランジスタT1のドレイン及びゲートとMOSトランジスタT5のゲートとの接続ノードにドレインが接続されたMOSトランジスタT6が設けられる。

【0115】

MOSトランジスタT1のソース及びキャパシタCの一端に信号 $\phi$ VPSが入力され、MOSトランジスタT6のソースに直流電圧VPGが印加されるとともに、そのゲートに信号 $\phi$ RSが入力される。又、MOSトランジスタT6は、MOSトランジスタT1～T3、T5と同様、そのバックゲートが接地されたNチャネルのMOSトランジスタである。又、MOSトランジスタT1、T5、T6及びフォトダイオードPD及びキャパシタCによって光電変換回路が形成されるとともに、MOSトランジスタT2、T3によって出力増幅回路が形成される。

【0116】

尚、第2の実施形態と同様、信号 $\phi$ VPSは、2値的に変化するものとし、MOSトランジスタT1、T5をサブスレッショルド領域で動作させるための電圧をローレベルとし、直流電圧VPDと略等しい電圧をハイレベルとする。よって、このような回路構成の通常画素は、第2の実施形態と同様、信号 $\phi$ VPSの電圧値を変更することによって、フォトダイオードPDで発生した光電流に対して自然対

数的に又は線形的に変換した画像データを出力することができる。

【0117】

この実施形態において、出力電流を光電流に対して自然対数的に変換させる場合は、信号 $\phi$ RSを常にローレベルとしてMOSトランジスタT6をOFF状態に固定し、信号 $\phi$ VPSをローレベルにするとともに、信号 $\phi$ Dをハイレベル（例えば、直流電圧VPDと略等しい電圧）にして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタCに蓄積する。そして、所定のタイミングでMOSトランジスタT3をONにして、MOSトランジスタT2のゲートにかかる電圧に比例した電流をMOSトランジスタT2、T3を通して出力信号線5に導出することで画像データが出力される。このようにして、画像データが出力されるとともに、この画像データが、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

【0118】

その後、スイッチSa及びMOSトランジスタT3をOFFするとともに信号 $\phi$ Dをローレベル（例えば、信号 $\phi$ VPSよりも低い電圧）にすると、キャパシタCの電荷がMOSトランジスタT5を通して信号 $\phi$ Dの信号線路へ放電され、それによって、キャパシタC及び接続ノードaの電圧が初期化される。このとき、MOSトランジスタT3を再びONとするとともにスイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。このようにノイズ成分が出力されると、MOSトランジスタT3がOFFとなる。

【0119】

これに対して、出力電流を光電流に対して線形的に変換させる場合は、まず、信号 $\phi$ RSをローレベルにしてMOSトランジスタT6をOFFにして、信号 $\phi$ VPSの電圧をハイレベルにするとともに信号 $\phi$ Dをハイレベルにする。これに先だって、MOSトランジスタT5を用いた初期化動作を行うことによって、第3の実施形態と同様に接続ノードaが直流電圧VPDより低い電圧となっている。このような状態で、光電流の積分値を線形的に変換した値と同等の電荷をキャパシタCに蓄積する。

## 【0120】

そして、所定のタイミングでMOSトランジスタT3をONにして、MOSトランジスタT2のゲートにかかる電圧に比例した電流をMOSトランジスタT2、T3を通して出力信号線5に導出することで画像データが出力される。このようにして、画像データが出力されるとともに、この画像データが、上述したように、スイッチS<sub>a</sub>をONとすることで、信号線5及びスイッチS<sub>a</sub>を介してキャパシタC<sub>a</sub>に与えられる。

## 【0121】

その後、まず、スイッチS<sub>a</sub>及びMOSトランジスタT3をOFFするとともに信号φDをローレベルにしてキャパシタCの電荷をMOSトランジスタT5を通して信号φDの信号線路に放電して、接続ノードaの電圧を例えば信号φVPSの電圧より低い電圧に初期化する。続いて、MOSトランジスタT6をONして、フォトダイオードPD、MOSトランジスタT1のドレイン電圧、及びMOSトランジスタT1、T5のゲート電圧を初期化する。このとき、MOSトランジスタT3を再びONとするとともにスイッチS<sub>b</sub>をONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチS<sub>b</sub>を介してキャパシタC<sub>b</sub>に与えられる。このようにノイズ成分が出力されると、スイッチS<sub>b</sub>及びMOSトランジスタT3がOFFとなる。

## 【0122】

## 2. 補正用画素の構成の第1例

通常画素が図12のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図13の構成において、図12の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

## 【0123】

図13の画素は、図12の画素に、ドレインがMOSトランジスタT2のゲートとMOSトランジスタT5のソースとの接続ノードに接続されたMOSトランジスタT4が設けられた構成の画素である。このMOSトランジスタT4は、ソースに直流電圧VDが与えられるとともに、ゲートに信号φVRSが与えられる。又、MOSトランジスタT4は、MOSトランジスタT1～T3と同様、そのバ

ックゲートが接地されたNチャネルのMOSトランジスタである。即ち、本例における補正用画素と本実施形態における通常画素との関係が、第1の実施形態における第1例（図4）のような回路構成の補正用画素と通常画素（図3）と同様の関係に対応する。

#### 【0124】

このような構成の画素において、第2の実施形態と同様、通常画素が自然対数的に変換した出力信号を画像データとして出力するときは、信号 $\phi$ VPSをローレベルとし、又、通常画素が線形的に変換した出力信号を画像データとして出力するときは、信号 $\phi$ VPSをハイレベルとする。このように、信号 $\phi$ VPSを、画像データを出力する通常画素と同様の状態にした後、まず、信号 $\phi$ VRSがハイレベルとなり、MOSトランジスタT4がONとなることによって、MOSトランジスタT2のゲートに直流電圧VDが与えられる。そして、MOSトランジスタT3にパルス信号 $\phi$ Vを与えることによって、MOSトランジスタT2は、そのゲートに与えられた直流電圧VDに応じてソース電流を、MOSトランジスタT3を介して信号線5に出力電流として出力する。

#### 【0125】

このとき、MOSトランジスタT2がソースフォロワ型のMOSトランジスタとして動作し、信号線5には補正データが電圧信号として現れる。又、MOSトランジスタT3を介して出力される出力信号は、MOSトランジスタT2のゲート電圧に比例した値となるため、直流電圧VDに応じた信号となる。この補正データは、上述したように、スイッチSaをONとすることで、信号線5及びスイッチSaを介してキャパシタCaに与えられる。

#### 【0126】

このように、キャパシタCaに補正データが格納された後、MOSトランジスタT3及びスイッチSaがOFFとなるとともに、スイッチSbをONとすることによって、各画素毎に発生するノイズ成分が信号線5及びスイッチSbを介してキャパシタCbに与えられる。又、このとき、信号 $\phi$ VRSはローレベルである。

#### 【0127】

このようにして出力された補正データは、信号線 5-1 ~ 5-m (図 1) に接続された MOS トランジスタ Q 1 (図 1) の特性のバラツキを表す信号となる。尚、このように通常画素とほぼ同様の構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。

【 0 1 2 8 】

## 2. 補正用画素の構成の第 2 例

通常画素が図 1 2 のような回路構成で構成されるとき、補正用画素の構成の一例について説明する。尚、図 1 4 の構成において、図 1 3 の画素と同一の構成部分については、同一の符号を付してその説明は省略する。

【 0 1 2 9 】

図 1 4 の画素は、図 1 3 の画素と比べて、MOS トランジスタ T 5 のソースとキャパシタ C との接続ノードと、MOS トランジスタ T 2 のゲートと MOS トランジスタ T 4 のドレインとの接続ノードとが接続されていない点が異なる。よって、光電変換回路を構成する MOS トランジスタ T 5 のソースとキャパシタ C との接続ノードに現れる電圧が出力増幅回路を構成する MOS トランジスタ T 2 のゲートに与えられない。即ち、本例における補正用画素と本実施形態における通常画素との関係が、第 1 の実施形態における第 2 例 (図 5) のような回路構成の補正用画素と図 3 のような回路構成の通常画素と同様の関係となる。

【 0 1 3 0 】

このような構成の画素において、第 2 の実施形態と同様、通常画素が自然対数的に変換した出力信号を画像データとして出力するときは、信号  $\phi$  VPS をローレベルとし、又、通常画素が線形的に変換した出力信号を画像データとして出力するときは、信号  $\phi$  VPS をハイレベルとする。このように、信号  $\phi$  VPS を、画像データを出力する通常画素と同様の状態にした後、まず、信号  $\phi$  VRS がハイレベルとなり、MOS トランジスタ T 4 が ON となることによって、MOS トランジスタ T 2 のゲートに直流電圧 V D が与えられる。そして、MOS トランジスタ T 3 にパルス信号  $\phi$  V を与えることによって、MOS トランジスタ T 2 は、そのゲートに与えられた直流電圧 V D に応じてソース電流を、MOS トランジスタ T 3 を

介して信号線 5 に出力電流として出力する。

【 0 1 3 1 】

このとき、MOS トランジスタ T 2 がソースフォロワ型の MOS トランジスタとして動作し、信号線 5 には補正データが電圧信号として現れる。又、MOS トランジスタ T 3 を介して出力される出力信号は、MOS トランジスタ T 2 のゲート電圧に比例した値となるため、直流電圧 V D に応じた信号となる。この補正データは、上述したように、スイッチ S a を ON とすることで、信号線 5 及びスイッチ S a を介してキャパシタ C a に与えられる。

【 0 1 3 2 】

このように、キャパシタ C a に補正データが格納された後、MOS トランジスタ T 3 及びスイッチ S a が OFF となるとともに、スイッチ S b を ON とすることによって、各画素毎に発生するノイズ成分が信号線 5 及びスイッチ S b を介してキャパシタ C b に与えられる。又、このとき、信号  $\phi$  VRS はローレベルである。

【 0 1 3 3 】

このようにして出力された補正データは、信号線 5 - 1 ~ 5 - m (図 1) に接続された MOS トランジスタ Q 1 (図 1) の特性のバラツキを表す信号となる。尚、このように光電変換回路を残した構成とすることによって、光電変換回路のポテンシャル状態の影響を受けた補正データを出力することができる。よって、通常画素の状態に近い状態における補正データを出力することができる。又、光電変換回路と出力増幅回路との接続を切断することによって、出力増幅回路より出力される補正データを、光電変換回路から出力される信号に影響されず、出力増幅回路に常に一定の直流電圧が与えられた状態における補正データとすることができる。

【 0 1 3 4 】

#### 4. 補正用画素の構成の第 3 例

本例で使用される補正用画素は、第 2 の実施形態の第 2 例における補正用画素と同様、図 8 のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第 2 の実施形態を参照とするものと



し、その説明を省略する。又、このように構成されたとき、本実施形態における第2例（図14）の回路構成の補正用画素と比べて、MOSトランジスタT5、T6及びキャパシタCを削除した構成となるため、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0135】

#### 5. 補正用画素の構成の第4例

本例で使用される補正用画素は、第1の実施形態の第3例における補正用画素と同様、図6のような回路構成の画素が用いられる。よって、このような構成の補正用画素の回路構成及び動作については、第1の実施形態を参照とするものとし、その説明を省略する。又、このように構成されたとき、本実施形態における第3例（図8）の回路構成の補正用画素と比べて、光電変換回路を削除した構成となるため、更に、その構成がシンプルになる。よって、補正用画素の画素サイズを通常画素より小さくすることができるので、補正画素の大きさに通常画素の大きさが律速されない。

【0136】

尚、図12のような構成の通常画素より得た画像データが差動増幅回路12（図1）によってノイズ成分が除去されるが、MOSトランジスタQ1の影響を受けた値として出力される。このとき、本実施形態の第1例～第4例で説明したような構成の補正用画素より補正データが出力されるとき、差動増幅回路11（図1）において、差動増幅回路12でノイズ成分が除去された補正データとの差分をとることにより、MOSトランジスタQ1の影響を受けたバラツキ成分を除去することができる。そのため、縦筋などの固定パターンノイズを除去することができる。

【0137】

尚、通常画素の構成については、第1～第4の実施形態（図3、図7、図9、図12）のような回路構成に限定されるものではなく、光電変換回路を構成する各素子の接続状態が上記各実施形態のものとは異なるような回路構成のものや、極性が逆になるPチャネルのMOSトランジスタを用いた回路構成のものなどで

も構わない。

【0138】

又、このように通常画素の構成が変更されたとき、補正用画素は、第1～第4の実施形態の第1例のように、光電変換回路と出力増幅回路との接続ノードにソースが接続されるようなMOSトランジスタT4を設けた構成としても構わない。又、第1～第4の実施形態の第2例のように、増幅出力回路の入力側にMOSトランジスタT4が設けられるとともに、光電変換回路と増幅出力回路との接続を切断したような回路構成としても構わない。

【0139】

又、第3、第4の実施形態の第3例のように、光電変換回路をその一部となるフォトダイオードなどの光電変換素子周辺の回路のみで構成し、増幅出力回路の入力側にMOSトランジスタT4が設けられるとともに、光電変換回路と増幅出力回路との接続を切断したような回路構成としても構わない。又、第1、第2の実施形態の第3例及び第3、第4の実施形態の第4例のように、増幅出力回路と、増幅出力回路の入力側に設けられたMOSトランジスタT4とで構成しても構わない。

【0140】

尚、本実施形態において、図1のように、補正用画素を1行だけ設けたエリアセンサとしたが、このような補正用画素を複数行設け、各列毎に設けられた複数の補正用画素より与えられる出力に基づく補正データを生成するようにしてもよい。例えば、複数の補正用画素より与えられる出力の平均値を補正データとするような構成のエリアセンサとしても構わない。更に、複数行の補正用画素が設けられたとき、前記ラインメモリをエリアメモリとして、複数行の補正用画素からの出力を記憶するようにしても構わない。

【0141】

【発明の効果】

本発明の固体撮像装置によると、各列毎に補正用画素を設け、この補正用画素から出力される補正信号に基づいて、各列毎に設けられた出力信号線を介して出力される通常画素からの出力信号を補正することができるため、従来、このよう

に列毎に出力信号線が設けられることに起因して発生する縦縞を防ぐことができる。

【図面の簡単な説明】

【図 1】 本発明のエリアセンサの内部構成を示すブロック図。

【図 2】 図 1 のエリアセンサの一部を示す回路図。

【図 3】 通常画素の構成を示す回路図の 1 例。

【図 4】 補正用画素の構成を示す回路図の 1 例。

【図 5】 補正用画素の構成を示す回路図の 1 例。

【図 6】 補正用画素の構成を示す回路図の 1 例。

【図 7】 通常画素の構成を示す回路図の 1 例。

【図 8】 補正用画素の構成を示す回路図の 1 例。

【図 9】 通常画素の構成を示す回路図の 1 例。

【図 1 0】 補正用画素の構成を示す回路図の 1 例。

【図 1 1】 補正用画素の構成を示す回路図の 1 例。

【図 1 2】 通常画素の構成を示す回路図の 1 例。

【図 1 3】 補正用画素の構成を示す回路図の 1 例。

【図 1 4】 補正用画素の構成を示す回路図の 1 例。

【図 1 5】 従来のエリアセンサの内部構成を示すブロック図。

【符号の説明】

- 1      垂直走査回路
- 2      水平走査回路
- 3 - 1 ~ 3 - n      ライン
- 4      電圧供給線
- 5 - 1 ~ 5 - m      出力信号線
- 6, 7      直流電圧線
- 8      信号線
- 9      出力切換回路
- 1 0      ラインメモリ
- 1 1      差動増幅回路

G11~Gmn 画素

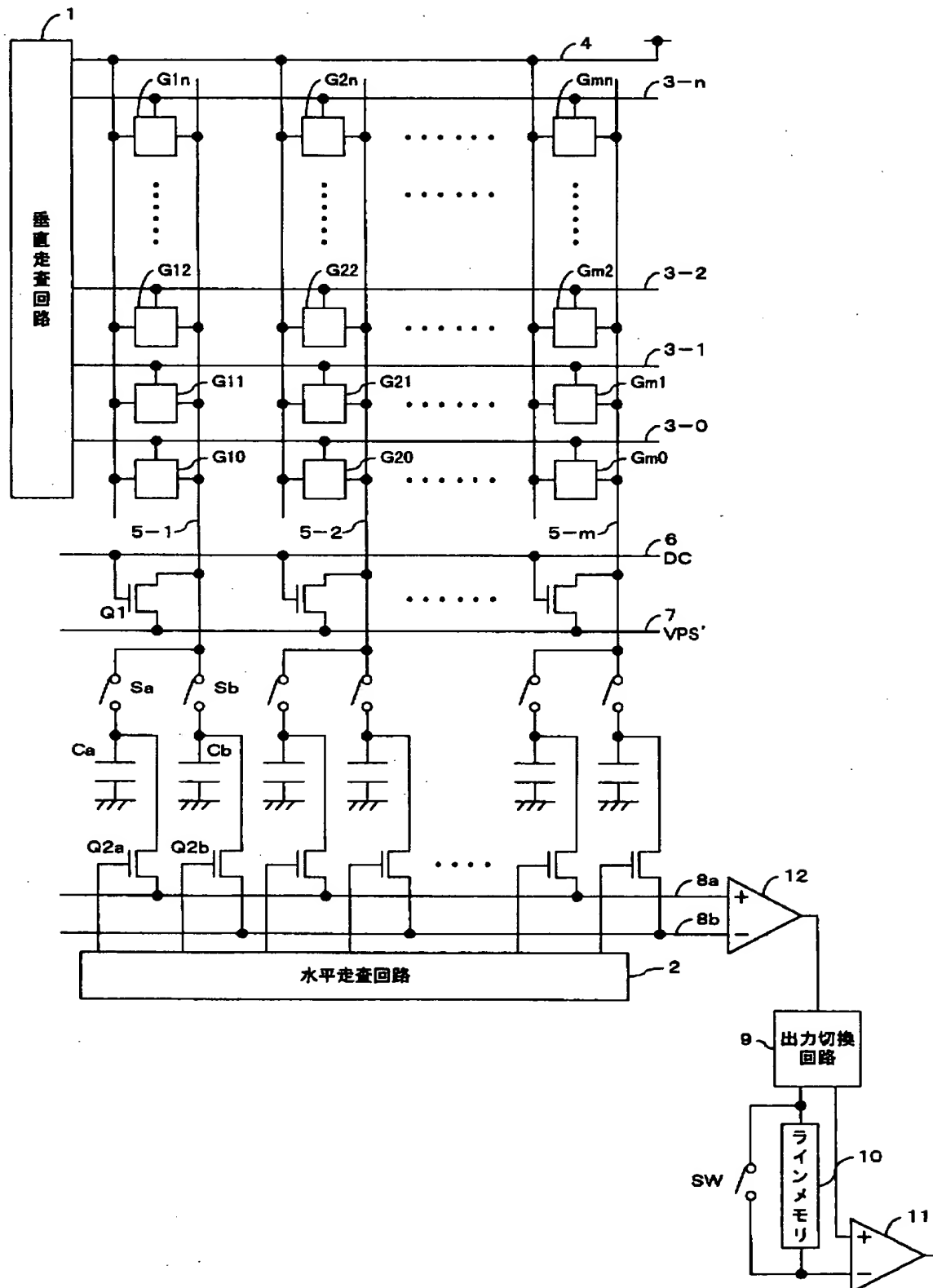
PD フォトダイオード

T1~T6 第1~第6MOSトランジスタ

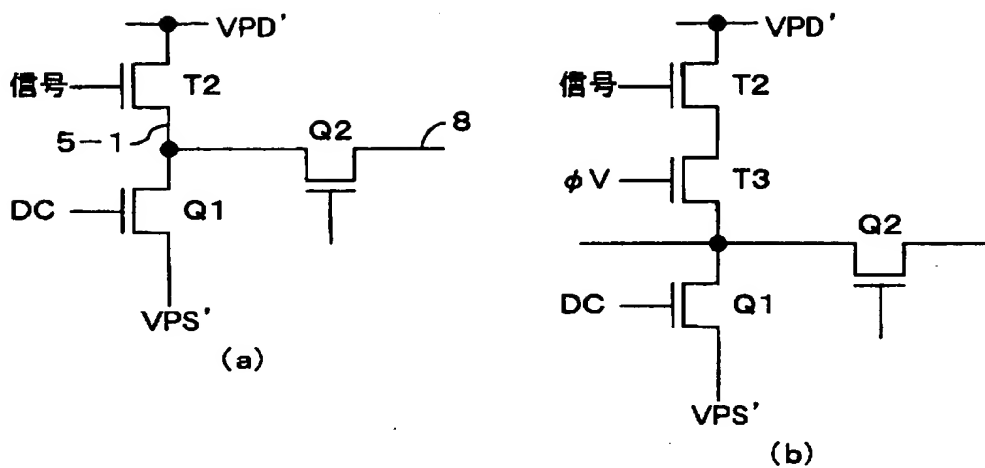
C キャパシタ

【書類名】 図面

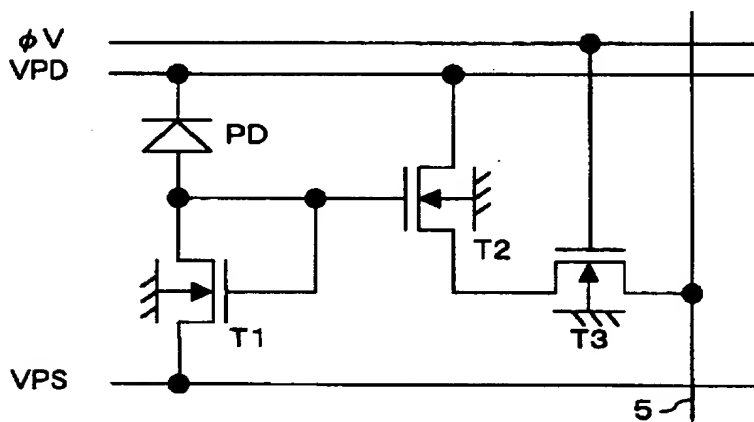
【図 1】



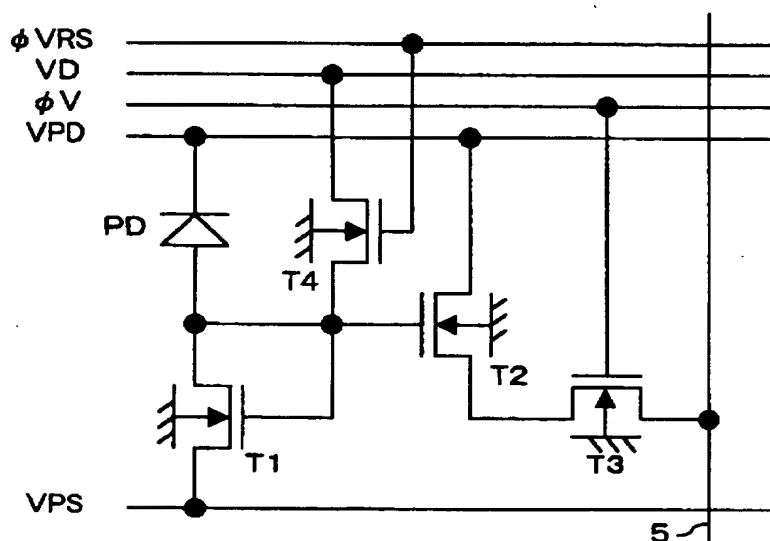
【図 2】



【図 3】

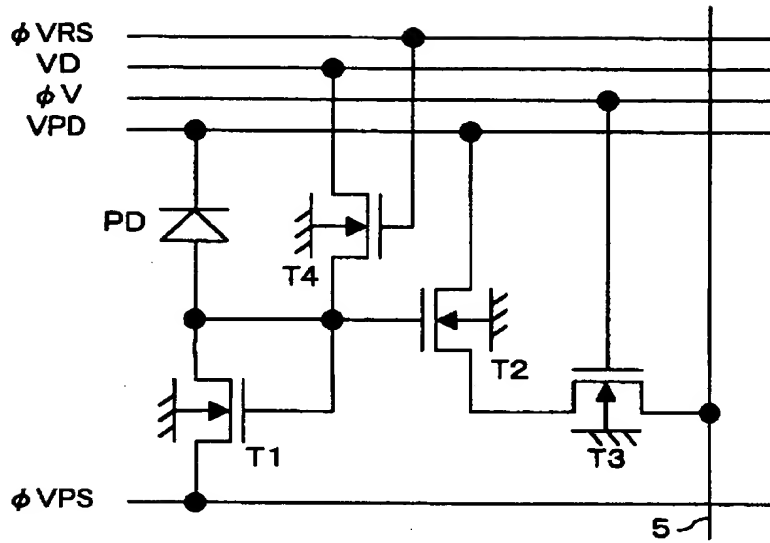


【図 4】

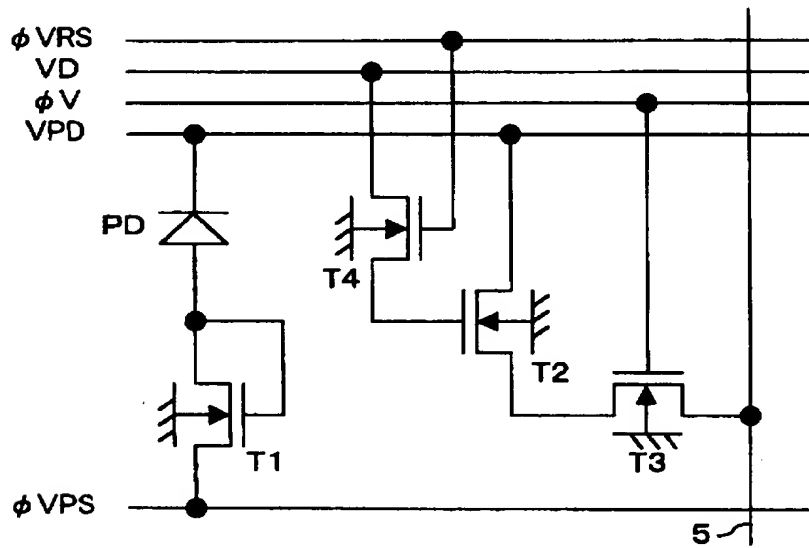




【図 7】

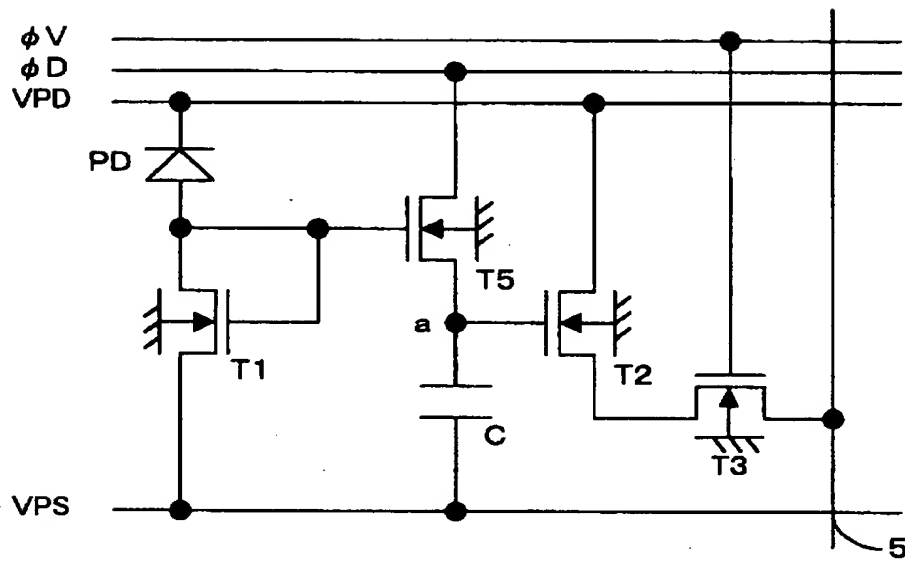


【図 8】

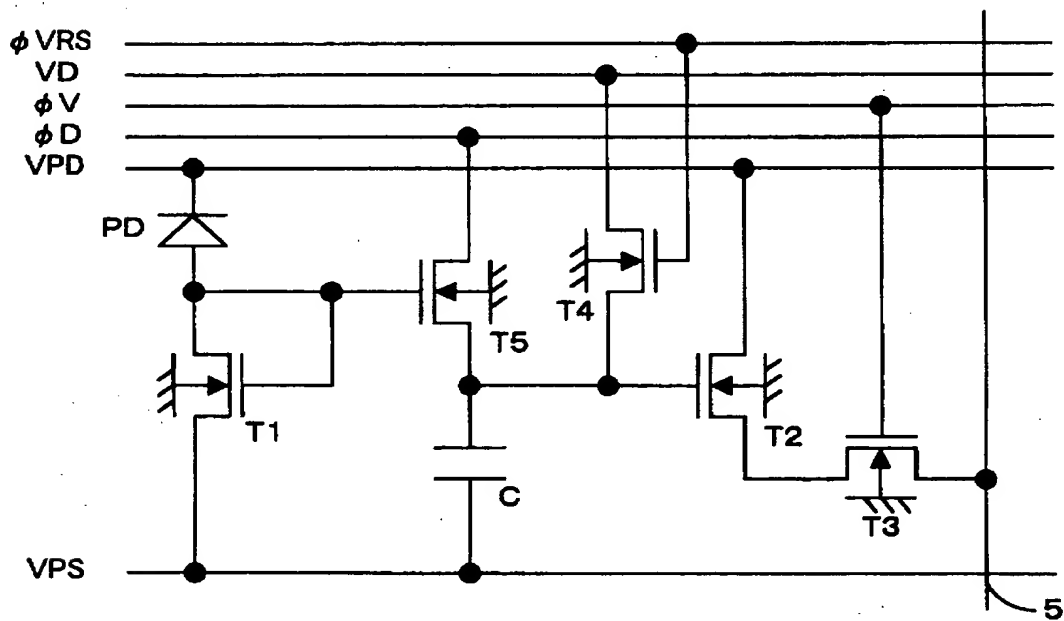




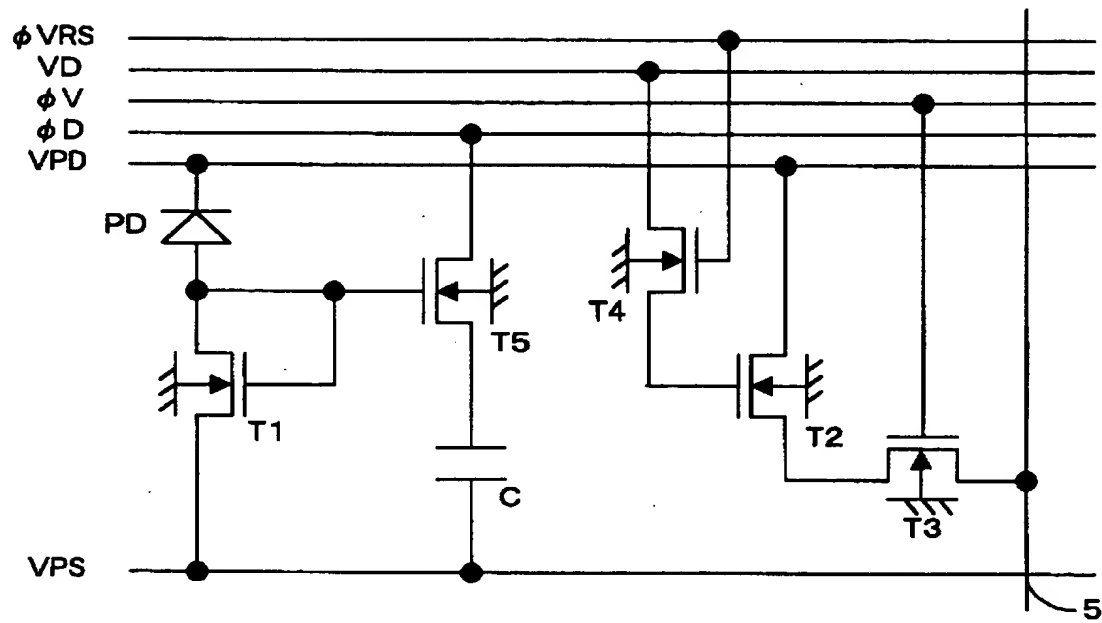
【図 9】



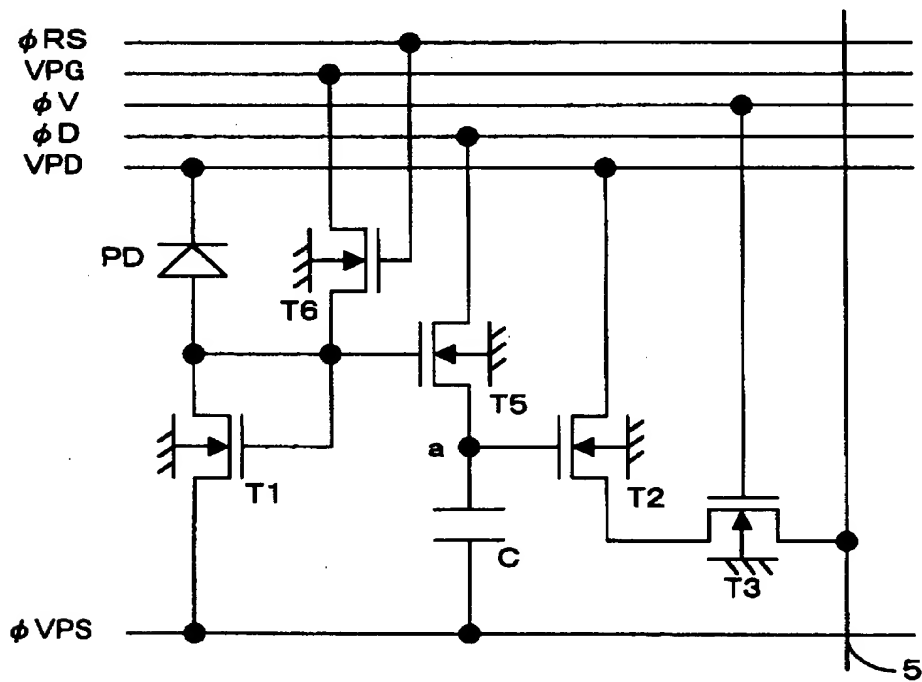
【図 10】



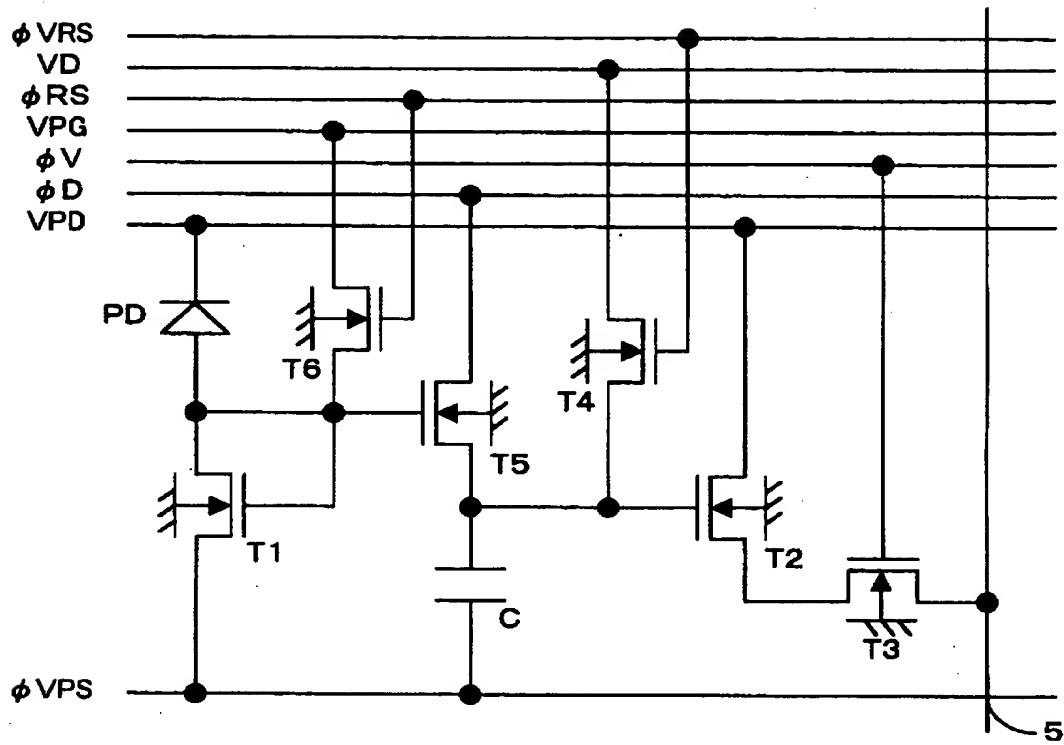
【図 1 1】



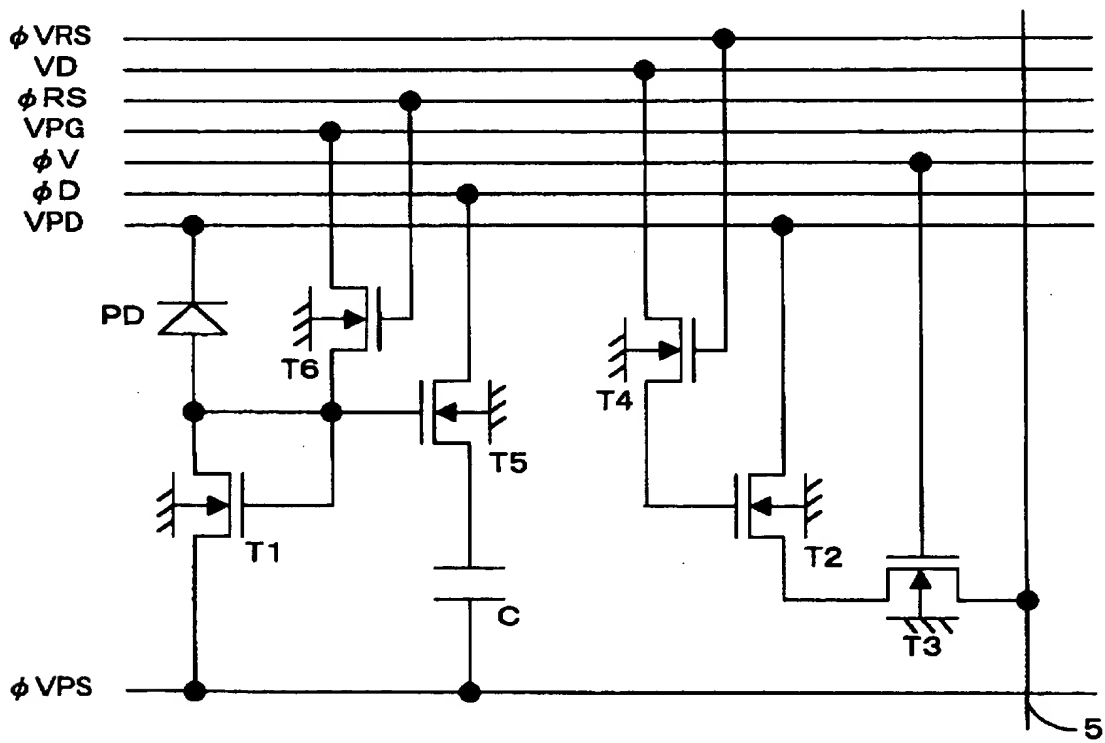
【図 1 2】



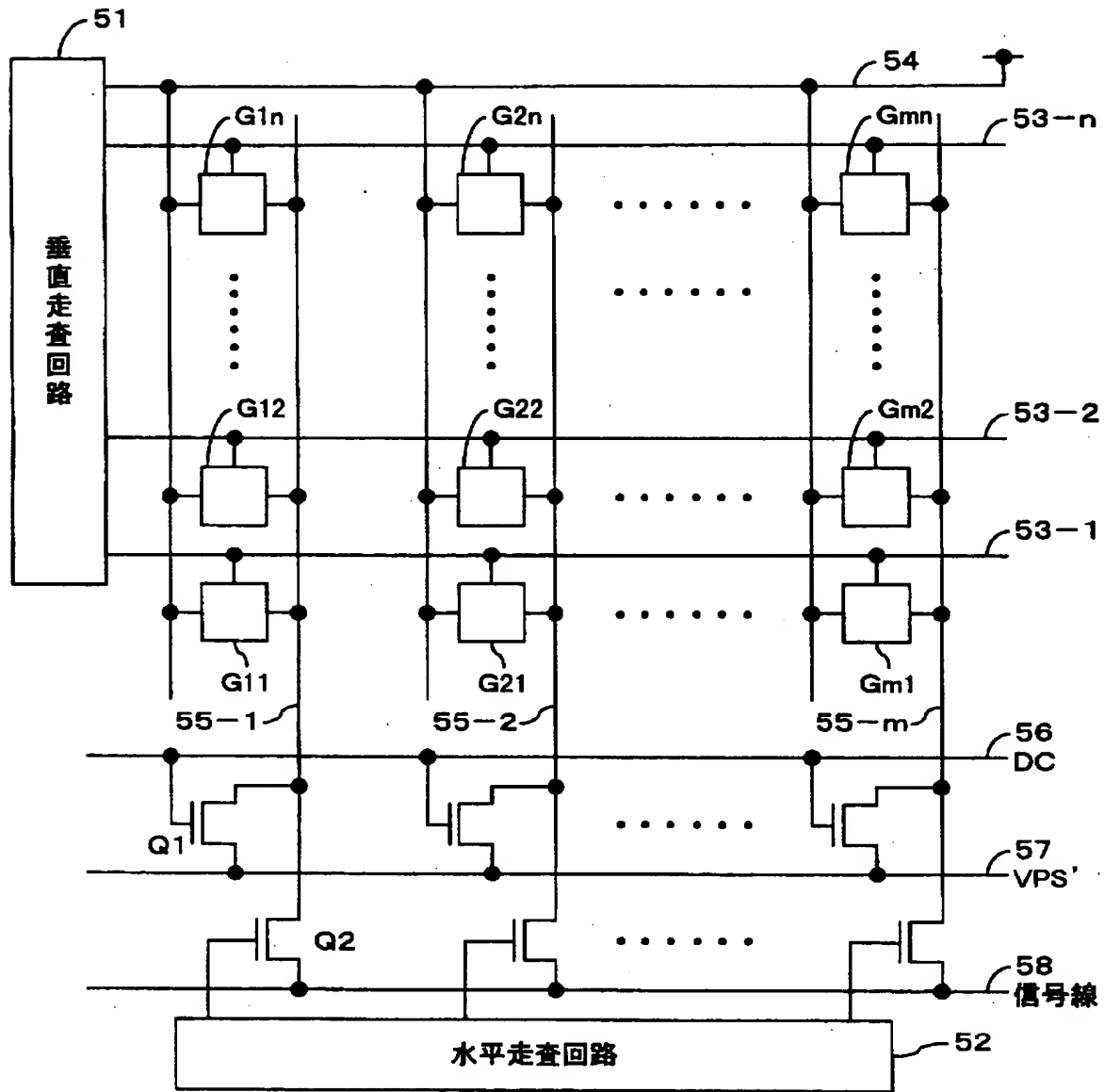
【図 13】



【図 14】



【図15】



【書類名】 要約書

【要約】

【課題】本発明は、固体撮像装置の回路構成などに起因してその出力信号に生じるバラツキによる固体パターンノイズをキャンセルすることが可能な固体撮像装置を提供することを目的とする。

【解決手段】まず、補正用画素 $G_{10} \sim G_{m0}$ からの補正データとなる出力がラインメモリ10に与えられて、ラインメモリ10内に各列毎の補正データとして格納される。そして、通常画素 $G_{11} \sim G_{mn}$ において、画像データとなる出力が出力されるとき、差動増幅回路11の非反転入力端子に与えられる画像データを出力する通常画素と同一列に配された補正用画素からの補正データがラインメモリ10より差動増幅回路11の反転入力端子に与えられる。このようにして、各通常画素からの画像データが、差動増幅回路11において、ラインメモリ10に格納された補正データに基づいて補正されて出力される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル  
氏 名 ミノルタ株式会社